

DIALOG(R)File 352:Derwent WPI

(c) 2004 Thomson Derwent. All rts. reserv.

014199772 **Image available**

WPI Acc No: 2002-020469/200203

XRAM Acc No: C02-005923

XRPX Acc No: N02-016041

Copper wiring board for liquid crystal displays, has copper wiring on insulated board surface covered by metallic oxide conductive material with almost same projection shape as that of copper wiring

Patent Assignee: FRONTEC INC (FRON-N)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 2001196371	A	20010719	JP 20004057	A	20000112	200203 B

Priority Applications (No Type Date): JP 20004057 A 20000112

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 2001196371	A		10 H01L-021/3205	

Abstract (Basic): JP 2001196371 A

NOVELTY - Copper wiring is provided on the board (2), whose surface is insulated. Metallic oxide conductive material (11) is provided over the surface of copper wiring. The projection shape of copper wiring and metallic oxide conductive material are almost the same. The copper wiring and metallic oxide conductive material form the laminate wiring pattern.

USE - Used in liquid crystal displays for personal computer, etc.

ADVANTAGE - Corrosion of copper pattern due to etchant is prevented. Stable operation is obtained. Pattern processing is simplified. Signal delay is avoided.

DESCRIPTION OF DRAWING(S) - The figure shows a cross section of copper wiring board.

Board (2)

Metallic oxide conductive material (11)

pp; 10 DwgNo 1/7

Title Terms: COPPER; WIRE; BOARD; LIQUID; CRYSTAL; DISPLAY; COPPER; WIRE; INSULATE; BOARD; SURFACE; COVER; METALLIC; OXIDE; CONDUCTING; MATERIAL; PROJECT; SHAPE; COPPER; WIRE

Derwent Class: L03; P81; P85; U11; U12; U14; V04

International Patent Class (Main): H01L-021/3205

International Patent Class (Additional): G02F-001/1368; G09F-009/30;

H01L-021/336; H01L-029/786; H05K-001/09

File Segment: CPI; EPI; EngPI

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

06968801 **Image available**

COPPER WIRING BOARD, PRODUCING METHOD THEREFOR AND LIQUID CRYSTAL DISPLAY DEVICE

PUB. NO.: 2001-196371 [JP 2001196371 A]

PUBLISHED: July 19, 2001 (20010719)

INVENTOR(s): SAI MOTONARI

APPLICANT(s): FURONTEKKU KK

APPL. NO.: 2000-004057 [JP 20004057]

FILED: January 12, 2000 (20000112)

INTL CLASS: H01L-021/3205; G02F-001/1368; G09F-009/30; H01L-029/786;
H01L-021/336; H05K-001/09

ABSTRACT

PROBLEM TO BE SOLVED: To obtain stable operation and to simplify a patterning process by preventing the diffusion of atoms into copper and preventing the erosion of a copper pattern depending on an etchant when using the copper of low resistivity as conductive materials or electrode materials.

SOLUTION: In the structure covering the surface of all wiring members, for which copper is used, with a metal oxide conductor membrane, when forming semiconductor active film copper wiring, a copper wiring pattern is formed through a titanium layer and a structure covering the surface of this copper wiring pattern with the metal oxide conductor membrane is provided. Since all the wiring members, for which copper is used, are made into a laminated wiring pattern structure, all the copper wiring patterns can be simultaneously formed while using one mask. This copper wiring pattern can be utilized for the liquid crystal display device of a thin film transistor driving system or the like.

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-196371

(P2001-196371A)

(43)公開日 平成13年7月19日(2001.7.19)

(51)Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
H 0 1 L 21/3205		G 0 9 F 9/30	3 1 0 2 H 0 9 2
G 0 2 F 1/1368			3 3 6 4 E 3 5 1
G 0 9 F 9/30	3 1 0	H 0 5 K 1/09	C 5 C 0 9 4
	3 3 6	H 0 1 L 21/88	M 5 F 0 3 3
H 0 1 L 29/786		G 0 2 F 1/136	5 0 0 5 F 1 1 0

審査請求 未請求 請求項の数6 O L (全 10 頁) 最終頁に続く

(21)出願番号 特願2000-4057(P2000-4057)

(22)出願日 平成12年1月12日(2000.1.12)

(71)出願人 395003523

株式会社フロンテック

宮城県仙台市泉区明通三丁目31番地

(72)発明者 蔡 基成

宮城県仙台市泉区明通三丁目31番地 株式
会社フロンテック内

(74)代理人 100064908

弁理士 志賀 正武 (外7名)

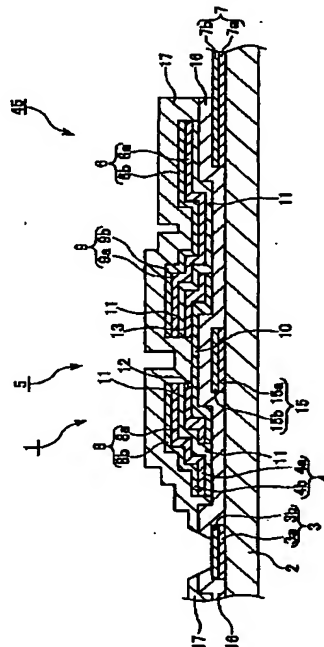
最終頁に続く

(54)【発明の名称】 銅配線基板及びその製造方法並びに液晶表示装置

(57)【要約】

【課題】 導電材料、電極材料として比抵抗が低い銅を使用するに際して、銅中への原子の拡散を防止し、エッチャントに依る銅パターンの侵食を防止して、安定した動作が得られるようにする。また、パターンニング工程を簡素化する。

【解決手段】 全ての銅を使用した配線部材の表面を金属酸化物導電体薄膜で覆った構造とする。半導体能動膜銅配線を形成する場合にはチタン層を介して銅配線パターンを形成し、該銅配線パターン表面を金属酸化物導電体薄膜で覆った構造とする。全ての銅を使用した配線部材を積層配線パターン構造とすることにより、1枚のマスクを使用して、全ての銅配線パターンを同時に形成することが可能となる。該銅配線パターンは薄膜トランジスタ駆動方式の液晶表示装置などに利用できる。



【特許請求の範囲】

【請求項1】 少なくとも表面が絶縁性である基板上に銅配線を有し、該銅配線の表面に金属酸化物導電体を具備しており、該銅配線と該金属酸化物導電体の前記基板への投影形状がほぼ同一で、該銅配線と該金属酸化物導電体が積層配線パターンをなしていることを特徴とする銅配線基板。

【請求項2】 前記積層配線パターンが前記基板上に形成された薄膜トランジスタの走査線または／および信号線であり、かつ該積層配線パターンの金属酸化物導電体がゲート端子または／およびソース端子であることを特徴とする請求項1に記載の銅配線基板。

【請求項3】 前記積層配線パターンが前記基板上に形成された薄膜トランジスタのドレイン電極およびソース電極であり、該積層配線パターンの銅配線がチタン膜を介して該薄膜トランジスタの半導体能動膜に接していることを特徴とする請求項1に記載の銅配線基板。

【請求項4】 前記金属酸化物導電体が、インジウム錫、インジウム亜鉛またはインジウム錫亜鉛の酸化物からなることを特徴とする請求項1に記載の銅配線基板。

【請求項5】 少なくとも表面が絶縁性である基板上に銅薄膜と金属酸化物導電体薄膜を順次成膜した後、同一パターンのマスクを使用して該銅薄膜と金属酸化物導電体薄膜をエッチングして、銅と金属酸化物導電体との積層配線パターンを形成することを特徴とする銅配線基板的製造方法。

【請求項6】 互いに対向する1対の基板間に液晶を挟持しており、該1対の基板の一方の基板が請求項1に記載の銅配線基板であることを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電子素子用基板とその製造方法にかかわり、特に低抵抗の銅を配線材料や電極材料等の導電材料に使用した銅配線基板の銅パターンの耐酸化性、耐薬品性の改善に関するものである。また、この銅配線基板を利用した液晶表示装置に関するものである。

【0002】

【従来の技術】近年、パーソナルコンピュータの表示装置等に液晶表示装置が多用されている。液晶表示装置は一对の基板間に液晶を封入し、基板に液晶駆動用回路やバックライト、カラーフィルター等の付帯要素を装着することによって構成されている。液晶表示装置では多数の画素を使用して任意の文字や図形を高精度で表示できるアクティブマトリクス方式が利用されている。アクティブマトリクス方式の液晶駆動用回路の一例としては、薄膜トランジスタ（Thin Film Transistor：TFT）方式が知られている。図6と図7は液晶表示装置に使用する一般的なボトムゲート型の薄膜トランジスタを備えた、従来の銅配線基板的構造の一例を示す図で

ある。図6は平面図を示し、図7（A）、図7（B）は図6のY-Y'に沿ったそれぞれ薄膜トランジスタ部分、ゲート配線部分及びソース端子部の断面構造を説明する図である。図6に示すように表面が絶縁性の基板2の上に走査線3と信号線4がマトリクス状に配線されている。この走査線3と信号線4に囲まれた領域が画素18である。各画素18には薄膜トランジスタ5が設けられている。

【0003】薄膜トランジスタ5はアルミニウム、クロム、タンタルあるいはこれらの合金などの導電材料からなる走査線3と、この走査線3から引き出して設けたゲート電極15上にゲート絶縁膜16を設け、このゲート絶縁膜16の上にアモルファスシリコン（a-Si）からなる半導体能動膜10をゲート電極15に対向させて設け、半導体能動膜10の両側の上部側には、リンなどのドナーとなる不純物を高濃度ドーピングしたアモルファスシリコンなどから成るオーミックコンタクト膜12、13が載置されている。さらに半導体能動膜10の上部には、オーミックコンタクト膜12、13の上に一部重なるようにしてアルミニウム、クロム、タンタルあるいはこれらの合金などの導電材料からなるソース電極8とドレイン電極9とを相互に対向させて設けている。また、ドレイン電極9の一端ではコンタクトホール53において、インジウム錫酸化物（Indium Tin Oxide：ITO）、インジウム亜鉛酸化物（Indium Zinc Oxide：IZO）等からなる透明な画素電極19と接続されている。走査線3と信号線4の一端にはそれぞれ走査線3の端子部51及び信号線4の端子部52が設けられ、パッシベーション膜17には金属配線まで達するコンタクトホールを設けてコンタクトホール内面に金属酸化物導電体50を被着させ、金属配線と接触させることにより走査線3の端子部51あるいは信号線4の端子部52を形成している。

【0004】そしてこれらゲート絶縁膜16、ソース電極8及びドレイン電極9などの上には、パッシベーション膜17が設けられている。パッシベーション膜17の上には配向膜（図示せず）が形成され、この配向膜に接して液晶が封入されてアクティブマトリクス液晶装置が構成されている。画素電極19を通して液晶分子に電界を印加することによって液晶分子の配向制御を行うようになっている。

【0005】図6と図7に示した薄膜トランジスタ基板を製造する方法の一例としては、例えば、まずアルミニウム、クロム、タンタル等の導電性金属から成るターゲットを使用し、該ターゲットに直流電圧を印加するスパッタ法などの薄膜形成手段を用いて、ガラス等の透明絶縁性の基板2の上にアルミニウム、クロム、タンタル等の導電性金属薄膜を形成する。次いで、フォトリソグラフィにより基板2上のゲート電極及び走査線3形成以外の場所の導電性金属薄膜を除去してゲート電極15を

形成した後、CVD等の薄膜形成手段を利用して SiO_2 や Si_3N_4 から成るゲート絶縁膜16、半導体動膜10を形成する。次いで、これらの上に前述のスパッタ法とフォトリソグラフィ等を利用してオーミックコンタクト膜12、13、ソース電極8とドレイン電極9を形成し、次いで形成したソース電極8とドレイン電極9の所定の位置にマスクをしてオーミックコンタクト膜の一部を除去して、オーミックコンタクト膜を分割した後、CVD法等により、パッシベーション膜17を形成して薄膜トランジスタを具備した銅配線基板1が得られる。

【0006】近年液晶表示装置の動作の高速化が要求されるようになり、走査線、信号線、ゲート電極、ソース電極及びドレイン電極などの導電部の導電材料における信号伝達の遅延が問題になってきた。この問題を解決する手段として、従来導電材料として使用されてきたアルミニウム、クロム、タンタル等の導電性金属に代えて、より低抵抗で安価な金属である銅(Cu)を利用することが提案されている。例えばタンタル、アルミニウム、クロムの比抵抗はそれぞれ $Ta: 12.4 \times 10^{-3} \Omega \text{cm}$ 、 $Al: 2.66 \times 10^{-3} \Omega \text{cm}$ 、 $Cr: 13 \times 10^{-3} \Omega \text{cm}$ であるのに対して銅は $Cu: 1.67 \times 10^{-3} \Omega \text{cm}$ と低い比抵抗を有している。

【0007】導電材料として銅を利用する場合、銅の酸化防止策をとる必要がある。銅表面が空気中の酸素や水分に触れると表面に CuO や Cu_2O 等の酸化層が形成される。これらの酸化層は不動態とはならないので内部まで酸化が進行し、導電材料としての銅の比抵抗が増大してしまい、低抵抗であるという銅の利点が失われてしまう。従って銅配線の表面を露出させることのないように、何らかの酸化防止層が必要である。銅表面の酸化を防止するために、半導体分野で一般にパッシベーション膜として使用されている酸化珪素質の保護膜を酸化防止層として使用すると、珪素と銅との間で原子の相互拡散が起こり、銅の比抵抗が増大してしまうので酸化珪素質の保護膜は得策ではない。例えばソース電極を銅薄膜から構成して、酸化防止膜を酸化珪素質膜で構成した場合には、ソース電極と酸化防止膜の間で珪素と銅との原子の相互拡散が起こる。珪素がソース電極中に拡散するとソース電極の抵抗が上昇して、薄膜トランジスタの動作が阻害される結果を招く。

【0008】酸化珪素と銅との間の原子の相互拡散を防止する手段として、酸化珪素と銅との間にタンタル、アルミニウム、クロム等の金属薄膜を形成して、バリア層とする方法が利用されている。ところが、銅はタンタル、アルミニウム、クロム等の金属に比較して耐薬品性が弱く、薬品を使用して金属薄膜をエッチングして配線パターンを形成する工程で、バリア層であるタンタル、アルミニウム、クロム等の金属薄膜をエッチング加工する前に、銅薄膜の方が先にエッチングされてしま

い、線細りや断線を起こすという問題がある。

【0009】銅配線を大気との接触から遮断し、エッチング加工で使用するエッチャントから保護するために、酸化珪素質膜に代わるものとしてインジウム錫酸化物(ITO)やインジウム亜鉛酸化物(IZO)等の金属酸化物導電体が挙げられる。通常、これらの金属酸化物導電体は液晶表示装置において透明画素電極として使用されるものである。金属酸化物導電体は銅との間で原子の相互拡散を起こさないで、透明画素電極として使用する他に、銅配線に対する保護膜としても有効である。例えば、銅配線からなる走査線や信号線の端子部分に金属酸化物導電体からなるキャップ層を設けておけば、大気中の酸素や水分によって銅配線が酸化されることはなく、銅配線の比抵抗が高くなることはない。従って、銅薄膜からなる走査線や信号線の端子部分に金属酸化物導電体からなるキャップ層を設けることは、接続端子部において接触抵抗の低い良好な接続を維持するためには有効な手段である。

【0010】薄膜トランジスタ基板の製造工程では、スパッタ法等を利用して基板全面にわたって金属薄膜を形成した後、フォトリソグラフィを利用して走査線、信号線、ゲート電極、ソース・ドレイン電極、容量電極等の金属導体部分を所定のパターンに加工する。しかし、銅配線の部位によって保護膜の種類が異なる場合には、フォトリソグラフィ工程でのエッチング方法も異なるので製造工程が煩雑となって好ましくない。どの銅配線部位でも同じ構成をしていれば、同じ方法でパターンニングできるので都合がよい。

【0011】

【発明が解決しようとする課題】本発明の目的は、例えば液晶表示装置として利用する薄膜トランジスタ基板に用いる銅配線基板において、金属導電材料として銅を使用するにあたり、銅を大気から隔離して酸化を防止し、しかも銅と元素の相互拡散を起こさず安定であり、かつ銅配線パターンのエッチング加工に際して、同一のエッチング方法で全ての銅配線パターンのエッチング加工を可能にする手段を提供することである。又、本発明のもう一つの目的は、銅配線基板を使用した低電力で作動し、信号遅延のない液晶表示装置を提供することにある。

【0012】

【課題を解決するための手段】上記目的を達成するため、本発明では絶縁性の基板上に形成した銅配線パターンを、該銅配線の表面に金属酸化物導電体を形成した積層配線パターンとし、該銅配線と該金属酸化物導電体の前記基板への投影形状がほぼ同一である銅配線基板とした。すなわち、基板上の金属導体部分を全て銅と金属酸化物導電体との積層配線パターンとした。本発明で利用できる金属酸化物導電体としては、インジウム錫酸化物(Indium Tin Oxide: ITO)、インジウム亜鉛酸化

物 (Indium Zinc Oxide: IZO)、インジウム錫亜鉛酸化物 (Indium Tin Zinc Oxide: ITZO) 等が挙げられる。該銅配線パターンは銅配線と金属酸化物導電体の基板への投影形状がほぼ同一であるということは、該銅配線パターンを形成する際に銅薄膜と金属酸化物導電体薄膜とを同一のパターンマスクを使用して形成するためである。従ってどの部位の銅配線パターンにおいても銅配線と金属酸化物導電体の基板への投影形状がほぼ同一となる。このような構造の積層配線パターンとすることにより、銅配線の酸化を防ぎ、原子の相互拡散による弊害も防止でき、しかも銅配線パターンの加工に際して同一のパターンマスクを用いて、どの部位の銅配線パターンでも同一のエッチャントを使用して加工することができ、工程の簡素化がはかれる利点を有する。

【0013】本発明の銅配線基板は、前記積層配線パターンを薄膜トランジスタの走査線または／および信号線として利用し、かつ該積層配線パターンの金属酸化物導電体をゲート端子または／およびソース端子として利用したものである。この銅配線基板は、原子の相互拡散により走査線または／および信号線を構成する銅配線の抵抗値が上がる恐れもなく、また、端子部が酸化されて接触抵抗が上昇する恐れもなく安定した動作がもたらされる。

【0014】本発明の銅配線基板は、前記積層配線パターンをドレイン電極およびソース電極として利用したものであり、銅配線がチタン層を介して該薄膜トランジスタの半導体能動膜に接している。銅配線と半導体能動膜との間にチタン層を挟むことにより原子の相互拡散を防ぐことができ、銅配線及び半導体能動膜の双方とも悪影響を受けることはない。

【0015】本発明の銅配線基板では、前記金属酸化物導電体としてインジウム錫、インジウム亜鉛酸化物又はインジウム錫亜鉛酸化物を使用した。電気導電率が高く、比抵抗が低く、かつ銅に対して安定だからである。特に、金属酸化物導電体としてのインジウム錫亜鉛の酸化物は、塩酸のような弱酸でエッチング加工が可能で、他の部材に対する影響が少なく好適である。

【0016】本発明の銅配線基板の製造方法は、基板上に銅薄膜と金属酸化物導電体薄膜を順次成膜した後、同一パターンのマスクを使用して該銅薄膜と金属酸化物導電体薄膜をエッチングしてパターンニングし、基板への投影形状がほぼ同一である積層配線パターンとする方法を採用した。いかなる部位の銅配線パターンでも同一のエッチャントの組み合わせを使用して加工できるので、加工工程が簡素化できる利点を有する。エッチングに際しては、銅薄膜用のエッチャントとしては過硫酸アンモニウム溶液又はペルオキソ-硫酸-水素カリウム (KHSO_5) とフッ酸とを含有する溶液が、金属酸化物導電体膜用のエッチャントとしては塩酸水溶液ないしは塩酸水溶液に硝酸を添加した水溶液が使用できる。ペルオキソ-硫

酸-水素カリウムの濃度は0.08ないし2.0mol/lであることが好ましい。また、上記エッチング剤中のペルオキソ-硫酸-水素カリウムに対するフッ酸の濃度が0.05ないしは2.0mol/lの範囲内になるように調節されていることが好ましい。また、上記エッチング剤は、酢酸を含有していることが膜への濡れ性を向上できる点で好ましく、上記エッチング剤中のペルオキソ-硫酸-水素カリウムに対する酢酸の重量比が10ないしは75wt%の範囲内になるように調節されていることが好ましい。

【0017】本発明の液晶表示装置は、互いに対向する1対の基板の一方の基板に本発明の銅配線基板を用いたものである。本発明の銅配線基板を用いることにより、比抵抗の低い銅の使用が可能となり、信号の遅延が無く安定した動作の液晶表示装置が簡単な方法で得られるようになる。

【0018】

【発明の実施の形態】以下、本発明の実施の形態を図面に基いて説明する。

(第1の実施形態) 図1は本発明に係わる銅配線基板を用いた薄膜トランジスタ基板の一例を示す図で、ボトムゲート型の薄膜トランジスタ基板の主要部の断面構造を示す図である。図において表面が絶縁性の基板2の表面に走査線3、信号線4、薄膜トランジスタ5、ドレイン配線6、容量電極7等が形成されている。走査線3は、銅薄膜パターン3aとITZO薄膜パターン3bの積層配線パターンからなっている。信号線4は、銅薄膜パターン4aとITZO薄膜パターン4bの積層配線パターンからなっている。ドレイン配線6は、銅薄膜パターン6aとITZO薄膜パターン6bの積層配線パターンからなっている。容量電極7は、銅薄膜パターン7aとITZO薄膜パターン7bの積層配線パターンからなっている。

【0019】薄膜トランジスタ5は、銅薄膜パターン15aとITZO薄膜パターン15bの積層配線パターンからなるゲート電極15の上に、窒化珪素からなるゲート絶縁膜16を設け、このゲート絶縁膜16の上にアモルファスシリコン (a-Si) からなる半導体能動膜10をゲート電極15に対向させて設けてある。半導体能動膜10の両側の上部側には、リンなどのドナーとなる不純物を高濃度にドーピングしたアモルファスシリコンなどから成るオーミックコンタクト膜12、13が載置されている。さらにオーミックコンタクト膜12、13の上にはオーミックコンタクト膜12、13の上に一部重なるようにして、バリア層としてのチタン膜11を介して銅薄膜パターン8aとITZO薄膜パターン8bの積層配線パターンからなるソース電極8及び銅薄膜パターン9aとITZO薄膜パターン9bの積層配線パターンからなるドレイン電極9が形成されている。ソース電極8の一端は同じく銅パターン4aとITZOパターン4b

の積層配線パターンからなる信号線4につながっており、ドレイン電極9の一端は同じく銅パターン6aとITZOパターン6bの積層配線パターンからなるドレイン配線6につながっている。そしてドレイン配線6の他端はゲート絶縁膜16を挟んで容量電極7と向き合っており、蓄積容量45を形成している。この容量電極7も銅薄膜パターン7aとITZO薄膜パターン7bの積層配線パターンから構成されている。

【0020】上記の如く本実施の態様における走査線3、信号線4、ドレイン配線6、容量電極7及び薄膜トランジスタ5のソース電極8、ドレイン電極9、ゲート電極15等の導電性金属部分は全て銅薄膜パターンとITZO薄膜パターンの積層配線パターンから構成されている。そして銅薄膜パターンとITZO薄膜パターンの基板面に対する投影形状はほぼ同一である。また、信号線4、ドレイン配線6及び薄膜トランジスタ5のソース電極8、ドレイン電極9等の銅薄膜とゲート絶縁膜とが接する部分あるいは銅薄膜と半導体能動膜とが接する部分では、銅薄膜とゲート絶縁膜又は半導体能動膜との間にチタン膜を介在させて銅薄膜への原子の拡散を防止し、トランジスタの性能劣化を防止している。

【0021】次に、上記の薄膜トランジスタを有する銅配線基板を製造する方法の一例を説明する。

(1-1) 走査線、ゲート電極及び容量電極の形成
例えば、まず銅から成るターゲットを使用し、該銅ターゲットに直流電圧を印加する直流スパッタ法を用いて、透明絶縁性ガラスからなる基板2の全面に銅薄膜を形成する。次いで、ターゲットを銅からITZOに変えて銅薄膜と同様にスパッタ法によりITZO薄膜を銅薄膜表面の全面に形成する。次に、ITZO薄膜表面にフォトレジストを塗布し、基板2上の走査線3、ゲート電極15及び容量電極7を形成する場所を遮蔽する所定形状のマスクを使用して露光して、所定形状のパターンを設ける。次いで塩酸とペルオキソー硫酸-水素カリウムとフッ酸との混合水溶液を使用して、不要部分のITZO薄膜と銅薄膜を除去し、所定形状の走査線3、ゲート電極15及び容量電極7を形成する。

【0022】(1-2) ゲート絶縁膜及び半導体能動膜の形成

スパッタ成膜室内を $\text{SiH}_4 + \text{O}_2$ 混合ガス雰囲気とし、ターゲット電極にダミー電極を装着して高周波電圧を印加してプラズマを発生させ、走査線3、ゲート電極15及び容量電極7を形成した基板の表面に二酸化珪素から成るゲート絶縁膜16を形成する。次いで、スパッタ成膜室内を $\text{SiH}_4 + \text{H}_2$ 混合ガス雰囲気とし、ターゲット電極にダミー電極を装着したままターゲット電極に高周波電流を印加し、ゲート絶縁膜16の上にアモルファスシリコン(a-Si) からなる半導体能動膜10を形成する。

(1-3) オーミックコンタクト膜の形成

スパッタ成膜室内をアルゴンガス雰囲気とし、ターゲット電極に a-Si : n⁺ 生成用のリンドーブシリコンからなるシリコンターゲットを装着し、ターゲットに高周波電流を印加し、半導体能動膜10上にa-Si : n⁺ からなるオーミックコンタクト膜を形成する。

(1-4) 半導体能動膜及びオーミックコンタクト膜のパターニング

オーミックコンタクト膜の表面にレジストを塗布した後、所定の形状にパターンマスクを使用して露光し、エッチングにより半導体能動膜10とオーミックコンタクト膜の不要部分を除去するパターニングを施して、図1に示すようにゲート電極15と向かい合う位置にアイランド状の半導体能動膜10とオーミックコンタクト膜12、13を得る。

【0023】(1-5) チタンバリア層の形成

オーミックコンタクト膜12、13を形成した基板の表面に、チタンターゲットを使用したスパッタ成膜法によりチタン膜を形成する。次いで、信号線4、ドレイン配線6、ソース電極8及びドレイン電極9が配置される位置に所定形状のチタン膜を残して、他の不要部分のチタン膜を除去するパターニングを施す。このようにして信号線4、ドレイン配線6、ソース電極8及びドレイン電極9が配置される位置に、所定形状のチタン膜11からなるバリア層を形成する。

【0024】(1-6) ソース電極及びドレイン電極用の銅薄膜と金属酸化物導電体薄膜の形成

上記基板の表面に(1-1)に記載した走査線、ゲート電極及び容量電極の形成方法と同様にして、ソース電極及びドレイン電極用の銅薄膜と金属酸化物導電体膜をスパッタ成膜する。次いで、銅薄膜と金属酸化物導電体薄膜を前記と同様の方法でパターニング処理して所定形状の信号線4、ドレイン配線6、ソース電極8及びドレイン電極9を得る。最後にパッシベーション膜17を形成して薄膜トランジスタ5を搭載した銅配線基板1を得る。本実施の形態では、チタン膜11と銅薄膜とを別々に加工する例を示したが、これらの積層膜を一括してエッチング処理しても良い。この際には、ペルオキソー硫酸-水素カリウム(KHSO_5)とフッ酸とを含有する水溶液からなるエッチング剤を用いて、上記積層膜に一括エッチングを施すことができる。ここで用いたエッチング剤中のペルオキソー硫酸-水素カリウムの濃度は、0.08ないしは2.0mol/lであることが好ましい。また、上記エッチング剤中のペルオキソー硫酸-水素カリウムに対するフッ酸の濃度が0.05ないしは2.0mol/lの範囲内になるように調製されていることが好ましい。また、上記エッチング剤は、酢酸を含有していることが積層膜への濡れ性を向上できる点で好ましく、上記エッチング剤中のペルオキソー硫酸-水素カリウムに対する酢酸の重量比が10ないしは75wt%の範囲内になるように調製されていることが好まし

い。

【0025】このようにして得られた本発明の銅配線基板は、銅配線が大気から隔離されているので端子部で銅が酸化されることが無く、又、絶縁膜との原子の相互拡散も防げるので、銅配線の電気抵抗が高くなることもない。又、製造工程も簡略化されるので液晶表示装置用の薄膜トランジスタ基板として有用である。

【0026】(第2の実施の形態)図2と図3は本発明に係わる液晶表示装置の主要部を示す図で、図2は平面配置を示し、図3は図2のX-X'線に沿った液晶表示装置の薄膜トランジスタ部と画素部の断面構造を説明する図である。図3において上の基板20と下の基板21が互いに所定の間隔(セルギャップ)をおいて平行に対向配置され、基板20と21の間に液晶層22が設けられ、基板20と21の外側には偏光板23、24が配置されている。基板20、21と液晶層22及び偏光板23、24とを組み合わせることにより、液晶セル25が構成されている。

【0027】平面的には図2に示すとおり、一方の基板21上にマトリクス状に複数の走査線41と信号線42が形成され、走査線41と信号線42に囲まれた領域に線状のコモン電極26、26と、線状の画素電極27とが形成されている。複数の走査線41は所定の間隔を保って互いに平行に配置され、走査線41に沿って平行に同一平面上にコモン配線43が形成されている。走査線41と信号線42に囲まれた各領域に、コモン配線43から直角に2本の線状のコモン電極26、26が延び、これら2本のコモン電極26、26の先端部が、隣接する他の走査線の近傍で互いの連結されている。コモン配線43とコモン電極26に囲まれた部分が画素48である。

【0028】断面構造を見ると、図3のとおり基板21上にはゲート電極31、コモン電極26を覆ってゲート絶縁膜28が形成され、ゲート絶縁膜28上にTFTの半導体能動膜35、ソース電極32及びドレイン電極33並びに画素電極27が形成されている。走査線41の信号線42との交差部近傍がゲート電極31となり、このゲート電極31の上にゲート絶縁膜28を介して半導体能動膜35を左右両側から挟んだ状態で、ソース電極32とドレイン電極33が設けられて薄膜トランジスタ30を構成している。

【0029】前記ソース電極32は信号線42に接続され、ドレイン電極33は容量電極部47に接続されている。この容量電極部47から前記線状のコモン電極26に平行な線状の画素電極27が延び、画素電極27の一端はコモン配線26上に絶縁膜を介して形成されたもう一つの容量電極部46に接続されている。二ヶ所の容量電極部46、47の下には、ゲート絶縁膜28を介して容量電極(図示略)が配置されている。画素48は線状の画素電極27によって二分され、画素電極27の両側

に位置している。

【0030】この実施形態の液晶表示装置では、下の基板21の液晶層側と上の基板20の液晶層側に配向膜(図示省略)が設けられ、各配向膜は画素電極27の長手方向に沿った方向に配向処理が施されている。このような配向処理によって基板20、21間に存在する液晶層22の液晶分子は、電界が作用していない状態で長軸を画素電極27の長手方向に平行にした状態でホモジニアス配列されるようになっている。

【0031】また、この実施形態の液晶表示装置では、上の偏光板23の偏向軸の方向は画素電極27の長手方向と平行な方向に向けられ、下の偏光板24の偏向軸の方向は画素電極27の長手方向と直角な方向に向けられている。また、図3に示すように薄膜トランジスタ30の上部に位置する上の基板20の液晶層側には、ブラックマスク34が配置してある。このブラックマスク34は、表示に寄与しない薄膜トランジスタ部分や走査線部分あるいは信号線部分を覆い隠すためのものである。

【0032】この実施形態の液晶表示装置の構造では、スイッチング素子である薄膜トランジスタの作動によってコモン電極26と画素電極27の間に電圧を印加するか否かを切り換えることにより、光透過非透過を切り換える方式をとっている。コモン電極26と画素電極27の間に電圧を印加した場合には、液晶分子を上下に基板間で90度捻った状態(明状態)にすることができる。また、コモン電極26と画素電極27の間に電圧を印加しない場合には、液晶分子を配向膜の配向方向に沿ったホモジニアス配列(暗状態)にすることができる。

【0033】また、画素電極27の一端の一部とこれに絶縁膜28を挟んで対峙するコモン配線43の一部に設けた容量電極(図示略)をオーバーラップして設けることで、両者間に蓄積容量45を形成する。この蓄積容量で液晶表示装置に生じる寄生容量の一部を打ち消すことができ、フリッカや焼き付きの原因となる印加電圧の非対称性が小さくなり、表示品質が向上する。

【0034】この実施形態の液晶表示装置においては、下の基板21に接して設けた走査線41、ゲート電極31、コモン電極26、容量電極(図示略)は全て銅薄膜パターン(41a、31a、26a)とITO膜パターン(41b、31b、26b)との積層配線パターンから構成してある。また、ゲート絶縁膜28上に設けた信号線42、ソース電極32、ドレイン電極33、ドレイン配線、画素電極27は全て銅薄膜パターン(42a、32a、33a、27a)とITO膜パターン(42b、32b、33b、27b)との積層配線パターンから構成してある。さらに、ゲート絶縁膜28の上に形成する薄膜トランジスタ30の構成要素であるソース電極32、ドレイン電極33及びドレイン配線については、ゲート絶縁膜28と銅薄膜パターン(32a、33a)との間にバリア層としてチタン膜38、39を介させ

である。

【0035】図4に走査線41の断面構造を示す。基板21に接して走査線41の銅薄膜パターン41aを形成し、その表面全面に走査線41のITO膜パターン41bを形成してある。基板21の表面に設けるゲート電極31、コモン電極26及び容量電極（図示略）も全て同じ構造に構成する。図5に信号線42の断面構造を示す。信号線42は基板21又は基板21上に設けたゲート絶縁膜28の表面に形成する。銅配線を基板21又は基板21上に直接接する状態で設けると、ゲート絶縁膜28の珪素と銅とが元素の相互拡散を起こし、薄膜トランジスタの性能に悪影響を及ぼす。従って、原子の相互拡散を防止するため、基板21又はゲート絶縁膜28と銅薄膜パターン42aとの間にバリア層として例えばチタン膜38を介在させる。チタン膜38の厚さは約500～1000オングストローム程度あれば十分である。ドレイン配線や画素電極27並びにソース電極32やドレイン電極33も全て同じ構造に構成する。本実施の形態においても、金属酸化物導電体薄膜としてITZOを用いることができることはいうまでもない。

【0036】このように薄膜トランジスタ基板の金属導電体部分を銅薄膜とITO膜の積層配線パターンとすることにより、導電体部分の電気抵抗が低くなり動作電力の低減と信号遅延の解消に寄与するものとなる。また、この実施の態様では画素48がコモン電極26と画素電極27に囲まれた部分にあるので、コモン電極26と画素電極27は特に透明にする必要はなく、銅電極が有効に利用できる。

【0037】上記の薄膜トランジスタ基板は、前述の第1の実施の形態で説明した方法と同一の方法で製造できるので、薄膜トランジスタ部分の形成方法の詳細な説明は省略する。図3に示すように2枚の基板20、21を使用し、基板20にはブラックマスク34を形成した後配向膜を形成し、基板21には薄膜トランジスタとそれに付随する駆動回路を形成した後配向膜を形成し、それぞれの基板の配向膜に配向処理を施す。配向処理を施した2枚の基板をセルギャップ形成用のビーズを介して対向配置した状態で周囲を封止剤により接合して液晶セルを組み立て、セルギャップ内に液晶を注入する。最後に液晶セルの基板外側に偏光板を配して液晶表示装置が完成する。

【0038】

【発明の効果】本発明の銅配線基板は導電部が銅と金属酸化物導電体との積層配線パターンからなり、基板に対する銅と金属酸化物導電体の投影形状がほぼ同一に形成してある。このため、銅薄膜を大気から隔離して酸化を防止すると共に、銅と基板あるいは絶縁膜との間の元素の相互拡散を起こさずに安定であり、かつ積層配線パターンのエッチング加工に際して、同一のエッチング方法

で全ての積層配線パターンの加工が可能となる。本発明の銅配線基板を液晶表示装置の薄膜トランジスタ基板として使用すれば、導電体部分の電気抵抗が低くなり動作電力の低減と信号遅延の解消に寄与するものとなる。本発明の銅配線基板の製造方法に依れば、基板上に銅薄膜と金属酸化物導電体膜を順次成膜した後、同一パターンのマスクを使用して該銅薄膜と金属酸化物導電体膜をパターンニングして、基板への投影形状がほぼ同一である配線パターンを得ることができる。いかなる部位の積層配線パターンでも同一のマスクとエッチャントを使用して加工できるので、加工工程が簡素化できる利点を有する。また、本発明の液晶表示装置は銅と金属酸化物導電体との積層配線パターンからなる導電体を有しているので、動作電力が低減し信号遅延のない高性能な液晶表示装置が達成される。

【図面の簡単な説明】

【図1】 本発明の銅配線基板の断面構造の一部を示す図である。

【図2】 本発明の銅配線基板を使用した薄膜トランジスタ基板の平面構造を説明する図である。

【図3】 図2の薄膜トランジスタ基板の断面構造を説明する図である。

【図4】 図2の薄膜トランジスタ基板の走査線部の断面構造を説明する図である。

【図5】 図2の薄膜トランジスタ基板の信号配線部の断面構造を説明する図である。

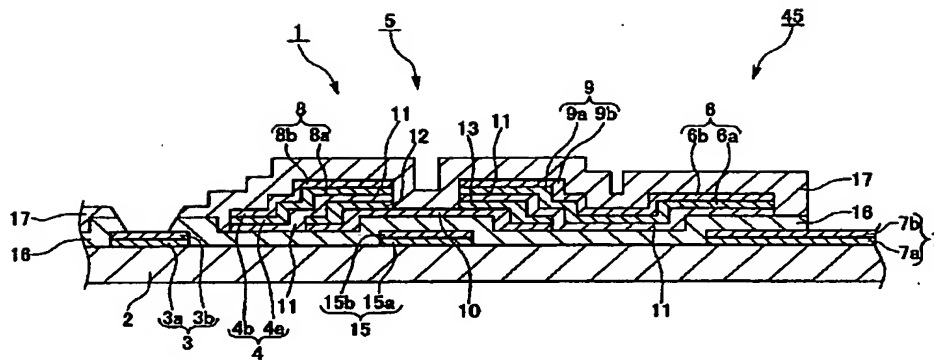
【図6】 従来の薄膜トランジスタ基板の構造の一例を示す平面図である。

【図7】 図6の薄膜トランジスタ基板の断面構造を説明する図である。

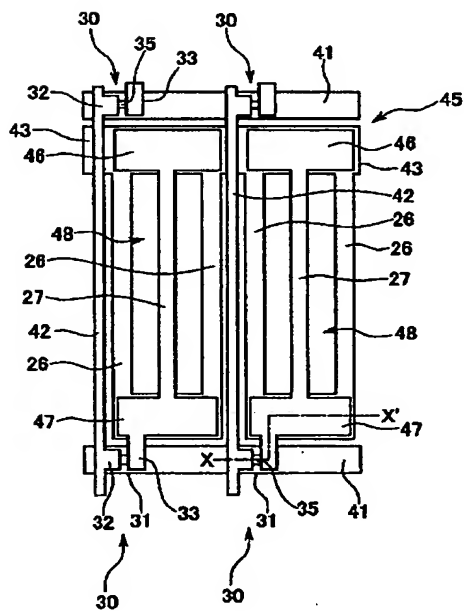
【符号の説明】

1…銅配線基板、2…基板、3…走査線、4…信号線、5…薄膜トランジスタ、6…ドレイン配線、7…容量電極、8…ソース電極、9…ドレイン電極、10…半導体能動膜、11…チタン膜、12、13…オーミックコンタクト膜、15…ゲート電極、16…ゲート絶縁膜、17…パッシベーション膜、18…画素、19…画素電極、20、21…基板、22…液晶層、23、24…偏光板、25…液晶セル、26…コモン電極、27…画素電極、28…ゲート絶縁膜、30…薄膜トランジスタ、31…ゲート電極、32…ソース電極、33…ドレイン電極、35…半導体能動膜、36、37…オーミックコンタクト膜、38、39…チタン膜、40…薄膜トランジスタ基板、41…走査線、42…信号線、43…コモン配線、46、47…容量電極部、50…金属酸化物導電体、51、52…端子部、53…コンタクトホール、

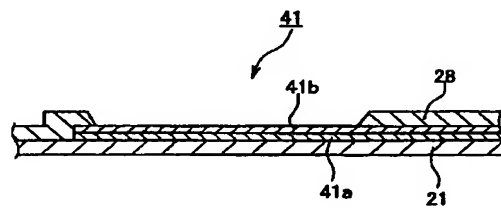
【图1】



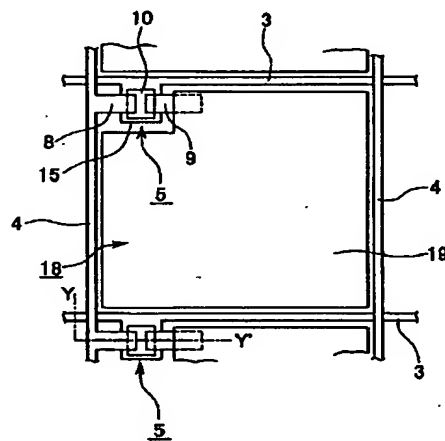
【图2】



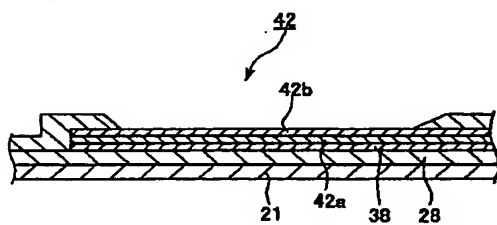
【图4】



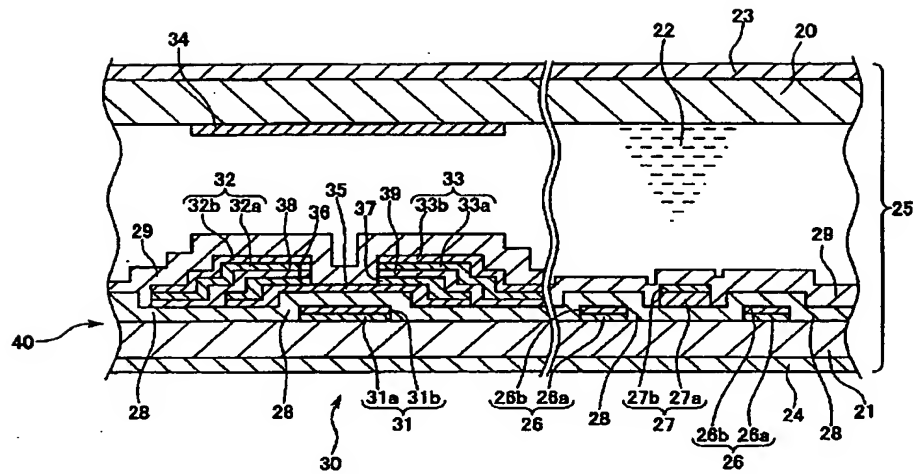
【图6】



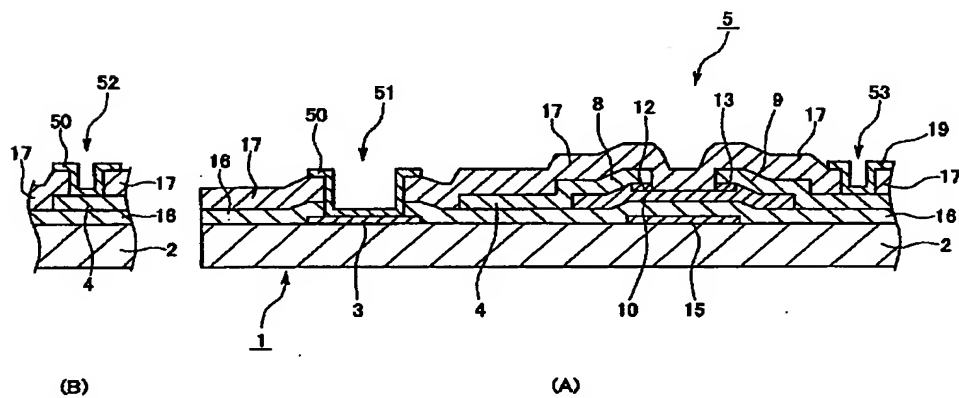
【图5】



【図3】



【図7】



Fターム(参考) 2H092 GA25 GA42 HA06 HA12 HA19
JA26 JA40 JA44 JA47 JB24
JB33 KA18 KB04 MA05 MA15
NA15 NA27
4E351 BB01 BB23 BB24 BB29 BB35
DD04 DD31 DD35 GG13
5C094 AA22 AA43 BA03 BA43 CA19
CA23 DA14 DA15 EA04 EA07
EA10 EB02 FB12 FB15 GB10
5F033 HH11 HH18 HH35 HH38 MM05
MM08 MM13 PP15 QQ08 QQ10
QQ19 VV06 VV15
5F110 AA03 AA16 AA26 BB01 CC07
DD02 EE02 EE07 EE14 EE37
EE44 FF02 FF03 FF30 GG02
GG15 GG45 HK02 HK04 HK07
HK09 HK16 HK22 HK25 HK33
HM17 HM19 NN72 QQ02 QQ05
QQ08 QQ09